

MANUFACTURE OF DIELECTRIC ISOLATION SUBSTRATE

Publication number: JP62093954

Publication date: 1987-04-30

Inventor: ISHIKIRIYAMA MAMORU

Applicant: OKI ELECTRIC IND CO LTD

Classification:

- International: H01L21/762; H01L21/306; H01L21/331; H01L21/76;
H01L29/72; H01L29/73; H01L21/70; H01L21/02;
H01L29/66; (IPC1-7): H01L21/306; H01L21/76;
H01L29/72

- European:

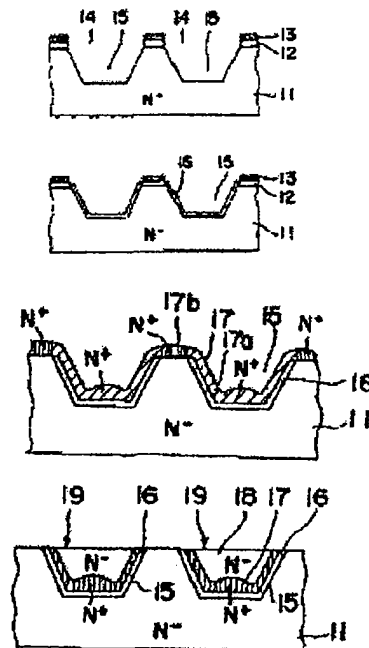
Application number: JP19850233340 19851021

Priority number(s): JP19850233340 19851021

Report a data error here

Abstract of JP62093954

PURPOSE: To reduce warpage a substrate may come to be provided with during its manufacture by a method wherein single-crystal islands in a single-crystal semiconductor substrate are divided from each other by dielectric regions. **CONSTITUTION:** A plurality of grooves 15 is formed on the surface of a single-crystal semiconductor substrate 11 with a masking layer 13 serving as a mask. The masking layer 13 works again in a process wherein an isolating/insulating film 16 is formed on the inner walls of the groove 15. The masking layer 13 is then removed for the exposure of the substrate surface between the grooves 15. A semiconductor layer 17 is formed on said exposed substrate surface and in the groove 15. The entirety of the semiconductor layer 17 is subjected to annealing for conversion into a single-crystal layer with a single-crystal section in a substrate surface region 17b on the semiconductor layer 17 serving as the nucleus. A semiconductor layer 18 is epitaxially grown, which continues until the groove 15 on the single crystal semiconductor layer 17 is filled. Removal is performed starting from the surface side, for the removal of the semiconductor layers 17 and 18, which continues until the substrate surface is exposed. The semiconductor layers 17 and 18 are allowed to remain only in the groove 15.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-93954

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)4月30日

H 01 L 21/76
21/306
29/72

D-7131-5F
B-8223-5F
8526-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 誘電体分離基板の製造方法

⑮ 特 願 昭60-233340

⑯ 出 願 昭60(1985)10月21日

⑰ 発 明 者 石 切 山 衛 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

誘電体分離基板の製造方法

2. 特許請求の範囲

(a) 単結晶半導体基板の表面側にマスク層をマスクとして複数の凹溝を形成する工程と、

(b) 前記マスク層をマスクとして前記凹溝の内壁に分離絶縁膜を形成する工程と、

(c) その後、前期マスク層を除去して前記凹溝間の基板表面を露出させる工程と、

(d) その露出した基板表面および前記凹溝内に第1の半導体層を形成する工程と、

(e) その第1の半導体層の基板表面部分の単結晶部を核として、第1の半導体層の全体をアニールにより単結晶層に変換する工程と、

(f) これにより全体が単結晶化した第1の半導体層上に、前記凹溝が埋まるまで第2の半導体層をエピタキシャル成長させる工程と、

(g) その後、表面側から基板裏面が露出するまで第1および第2の半導体層を除去し、これらを凹

溝内にのみ残す工程とを具備してなる誘電体分離基板の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、特に高耐圧用半導体集積回路の基板である誘電体分離基板の製造方法に関する。

(従来の技術)

従来の誘電体分離基板の製造方法を第2図を参照して説明する。

まず、第2図(a)に示すように、例えば100結晶方位面を有する単結晶シリコン基体1の一方の主表面側に複数のV溝2を形成した後、このV溝2内を含む前記基体1の一方の主表面にSiO₂膜3を酸化により生成する。

次いで、第2図(b)に示すように、支持体層となる多結晶シリコン層4を前記SiO₂膜3上に、単結晶シリコン基体1と同等の厚さ(数100μm)まで堆積させる。

次に、単結晶シリコン基体1を、他方の主表面側から、第2図(b)に点線A-A'で示す位置まで、

すなわち前記V溝2の先端部が露出するまで精密に研磨除去する。これにより、単結晶シリコン基体1は、第2図(c)に示すように、 SiO_2 膜3(絶縁膜)で互いに分離された複数の単結晶シリコン島5となる。

そして、これ以後は、通常の拡散、CVD、ホトリソ技術を用いて各単結晶シリコン島5に第2図(d)に示すように素子6を形成し、最終的な誘電体分離された半導体集積回路をつくる。

(発明が解決しようとする問題点)

しかしながら、上記従来方法では、 SiO_2 膜3上に多結晶シリコン層4を数100 μm 堆積させる工程において、単結晶シリコン基体1と熱膨張率が異なるなどの理由により、多結晶シリコンの堆積中、または堆積後冷却すると、単結晶シリコン基体1に反りが発生する問題点があつた。そして、この反りは、その後の研磨加工中における研磨バラツキを招き、その結果第2図(c)に示す単結晶シリコン島5の深さDにバラツキが生じたり、素子形成時におけるパターンニング精度を低下させる原

因となつていた。さらには、単結晶シリコン島5に結晶欠陥が導入されることなどにより、素子特性の品質の低下をもたらしていた。

この発明は上記の点に鑑みなされたもので、その目的は、反りを大幅に低減でき、この反りに派生する問題点を解消し得る誘電体分離基板の製造方法を提供することにある。

(問題点を解決するための手段)

この発明では、単結晶半導体基板の表面側にマスク層をマスクとして複数の凹溝を形成した後、前記マスク層をマスクとして前記凹溝の内壁に分離絶縁膜を形成し、その後、前記マスク層を除去して前記凹溝間の基板表面を露出させた後、その露出した基板表面と前記凹溝内に第1の半導体層を形成する。その後、前記第1の半導体層の基板表面部分の単結晶部を核として、第1の半導体層の全体をアニールにより単結晶層に変換し、その全体が単結晶化した第1の半導体層上に、前記凹溝が埋まるまで第2の半導体層をエピタキシャル成長させ、その後、表面側から基板表面が露出す

るまで第1および第2の半導体層を除去して、これらを凹溝内にのみ残すことにより、誘電体分離基板を製造する。

(作用)

この方法によれば、従来支持体層として数100 μm 堆積していた多結晶シリコン層を必要とせず、単結晶半導体基板内に単結晶島を互いに誘電体分離して形成できることから、製造途中における基板の反りを大幅に低減できる。

(実施例)

以下この発明の一実施例を第1図を参照して説明する。

まず、第1図(a)に示すように、例えば100結晶方位面を有するN型単結晶シリコン基板11の表面上に、後に述べる異方性エッチングのマスクとなる Si_3N_4 膜のパッド熱酸化膜2を例えば1000~2000 \AA 厚に生成する。次いで、該パッド熱酸化膜2上に異方性エッチングに充分耐えられるだけの膜厚をもつた Si_3N_4 膜13(マスク層)を生成する。

次いで、第1図(b)に示すように Si_3N_4 膜13とパッド熱酸化膜2を選択的に除去し、これらに複数の窓14を形成する。この時、 Si_3N_4 膜13は、通常のホトエッチングにより形成されたレジストパターンをマスクとする例えばドライエッチングにより除去され、その後、パッド熱酸化膜2は弗酸にて除去される。

次いで、残存 Si_3N_4 膜13をマスクとして、単結晶シリコン基板11の露出表面部を、例えば KOH 、 NaOH 、ヒドラジンなどのアルカリ異方性エッチング液にてエッチングすることにより、第1図(c)に示すように、所望の深さをもつた凹溝15を単結晶シリコン基板11の表面側に前記窓14に対応して複数個形成する。

次いで、 Si_3N_4 膜13をマスクとして、熱酸化法により、単結晶シリコン基板11の凹溝15内壁にのみ、第1図(d)に示すように分離酸化膜16(分離絶縁膜)を例えば10000 \AA ~20000 \AA 厚に生成する。

その後、第1図(e)に示すように Si_3N_4 膜13とパ

ッド熱酸化膜12を除去し、凹溝15間の基板11表面を露出させる。この時、 Si_3N_4 膜13はドライエッチングにより、またパッド熱酸化膜12は希弗酸にて除去される。このパッド熱酸化膜12を除去する時、分離酸化膜16も少なくともパッド熱酸化膜12の膜厚分だけ同時にエッチングされるが、分離酸化膜16は分離酸化膜として十分な膜厚は残る。

次に、第1図(f)に示すように、露出した基板11表面および凹溝15内に2〜5 μm 程度のシリコン層17(第1の半導体層)を例えばCVD反応(化学気相蒸着反応)により成長させる。その際、例えば PH_3 ガスと SiH_4 ガスを1060℃以上の高温でCVD反応させるなど、条件を適当に選ぶことにより、シリコン層17の凹溝15内の部分17aは分離酸化膜16(SiO_2)上であるので多結晶シリコン層となり、一方、シリコン層17の基板11表面上の部分17bは単結晶シリコン上であるので N^+ 型単結晶シリコン層となる。

次いで、シリコン層17の単結晶部分(基板11

なお、上記一実施例では、ランプアニールなどにより全体が単結晶化された N^+ のシリコン層を形成し、該 N^+ シリコン層上に所望の不純物濃度をもつた N 型エピタキシャル層を形成する例を示したが、 P^+ シリコン層、 P 型エピタキシャル層とすることもでき、さらには N^+ シリコン層、 P 型エピタキシャル層といったような様々な組合わせにすることもできる。さらに、不純物濃度も任意の所望の値とすることが容易である。

(発明の効果)

以上詳細に説明したように、この発明の方法によれば、従来支持体層として数100 μm 堆積していた多結晶シリコン層を必要とせずに、単結晶半導体基板内に単結晶島を互いに誘電体分離して形成できることから、製造途中における基板の反りを大幅に低減できる。そして、その反りの低減効果により、第1および第2の半導体層の不要部分の除去精度が向上し、単結晶島深さは一様となり、また以後のホトリソパターニング精度が良好にな

表面上の部分)を核にして、ランプアニールまたはビームアニールなどにより、第1図(g)に示すように、シリコン層17の全体を単結晶化させる。

その後、第1図(h)に示すように、全体が単結晶化したシリコン層17上に、所望の N 型不純物濃度をもつた N 型エピタキシャル層18(第2の半導体層)を、少なくとも凹溝15が埋まるまで成長させる。ここで、エピタキシャル層18は、単結晶シリコン層(シリコン層17)上であるので同じく単結晶シリコン層となる。

しかる後、表面側から基板11の表面が露出するまで、すなわち第1図(h)のB-B線の位置までエピタキシャル層18とシリコン層17を精密研磨する。すると、エピタキシャル層18とシリコン層17は第1図(i)に示すように凹溝15内のみ残るようになり、すなわち、この残存エピタキシャル層18とシリコン層17からなる単結晶シリコン島19が単結晶シリコン基板11の各凹溝15内に分離酸化膜16により誘電体分離されて形成されることになる。

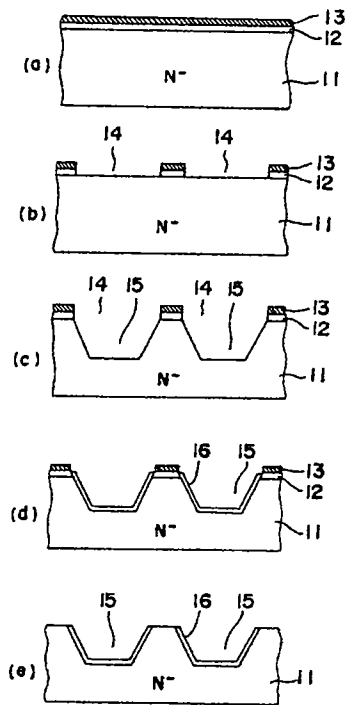
子特性の品質が向上する。さらに、この発明の方法によれば、第1図の実施例と第2図の従来例とを比べて明らかなように基板作成に費す材料も大幅に削減でき、加えて研磨量もわずかなものですみ、研磨に要していた時間を大幅に短縮することが可能となる。

4. 図面の簡単な説明

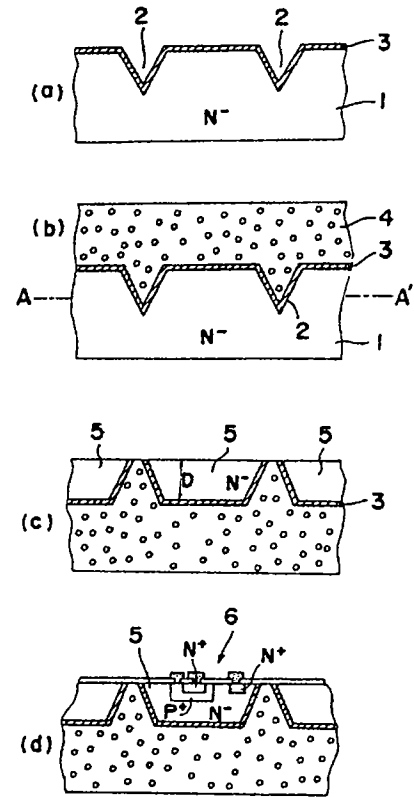
(図面)

第1図はこの発明の誘電体分離基板の製造方法の一実施例を示す断面図、第2図は従来の誘電体分離基板の製造方法を示す断面図である。

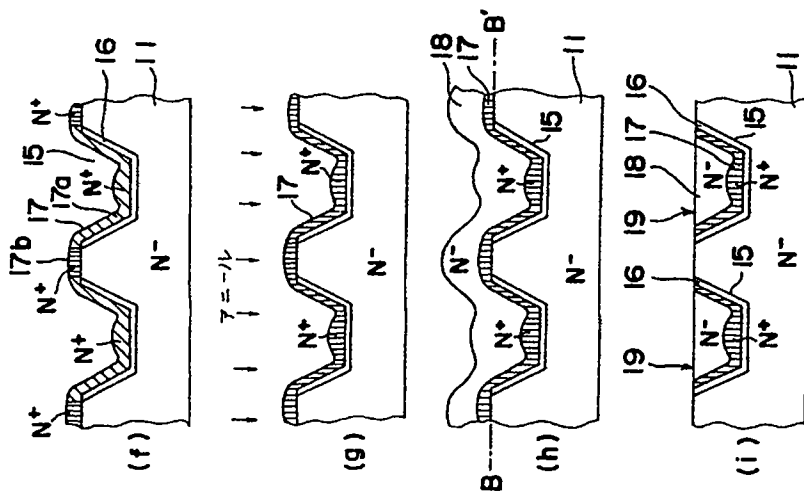
11…単結晶シリコン基板、13… Si_3N_4 膜、15…凹溝、16…分離酸化膜、17…シリコン層、17a…シリコン層の凹溝内の部分、17b…シリコン層の基板表面上の部分、18…エピタキシャル層、19…単結晶シリコン層。



本発明一実施例の断面図
第 1 図



従来の断面図
第 2 図



- 11: 単結晶シリコン基板
- 12: パッド熱酸化膜
- 13: Si_3N_4 膜
- 14: 窓
- 15: 凹溝
- 16: 分離酸化膜
- 17: シリコン層
- 17a: シリコン層の凹溝内の部分
- 17b: シリコン層の基板表面上の部分
- 18: エピタキシャル層
- 19: 単結晶シリコン島

本発明一実施例の断面図
第 1 図